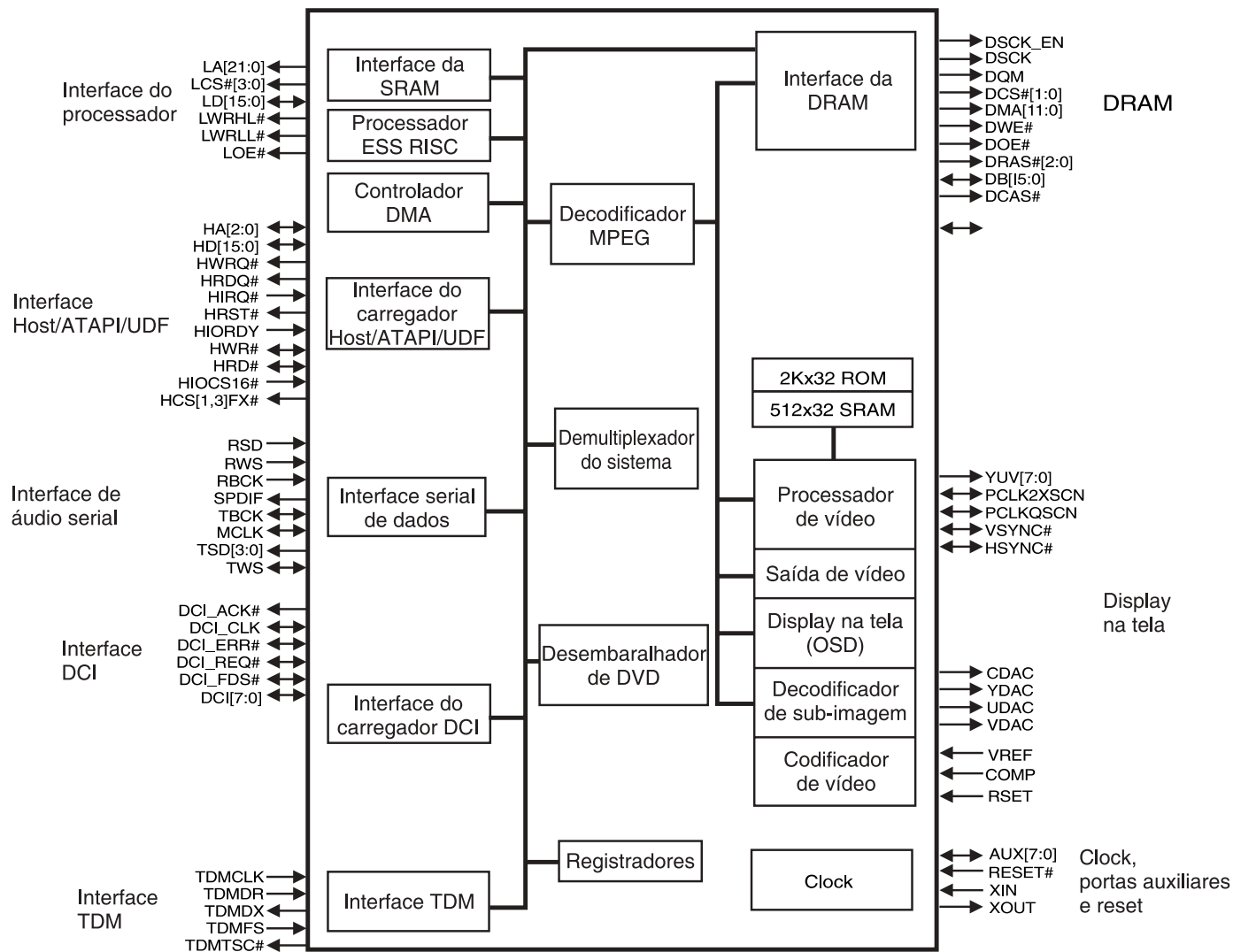


DESCRIÇÃO FUNCIONAL

A figura 3 mostra o diagrama de blocos interno básico para o processador ESS6008/6038



Arquitetura do dispositivo ESS6008/6038

A Arquitetura do dispositivo ESS6008/6038 inclui um processador RISC, controlador CRT, mecanismo de transporte, codificador de vídeo, controlador de memória, controlador de display na tela (OSD) e processador de vídeo.

Processador RISC da ESS

Interno ao ESS6008/6038 há um processador RISC de 32 bits com um subsistema de cache de 16kb de instrução e dados. A programação do processador RISC é feita em sua maioria em C. Para aplicações envolvendo um processador externo a comunicação entre o processador e o ESS6008/6038 é manipulada

pelo módulo de interface de host. A interface de host pode também ser usada para saída de entrada de dados de alta velocidade.

O subsistema de cache de 16kb de instrução e dados do processador RISC da ESS é organizado como um conjunto associativo de duas vias.

Antes de uma operação de cache de linha, a operação de escrita pode ser executada se o conteúdo do cache e da memória principal forem diferentes. O RISC ESS também realiza todo o gerenciamento de energia e funções de configuração do sistema para o ESS6008/6038, como mostrado no diagrama de blocos da figura 4.

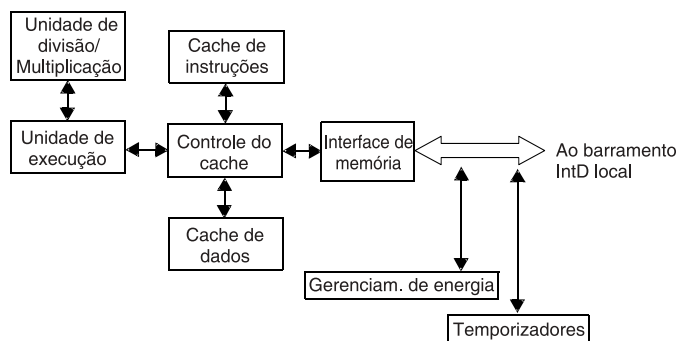


Figura 4 - Diagrama de blocos do ESS RISC

O núcleo do Processador Multimídia Programável (PMP) inclui o DSP proprietário de instrução simples e dados múltiplos (SIMD), que pode manipular quatro fluxos de dados de 16 bits de largura. Também está incluído na arquitetura do dispositivo um controlador de display na tela, um codificador de vídeo digital com quatro DACs, um bloco de entrada de vídeo, interfaces de sistema de vídeo e controladores FIFO e DMA. Os recursos do núcleo do PMP podem ser acessados somente pelo núcleo do RISC ESS. Juntos, os núcleos do RISC ESS e do PMP formam o mecanismo de PMP da ESS Technology.

Cache de instruções

O Cache de instruções do núcleo do RISC é uma matriz de memória interna do chip configurada para um tamanho de 8kB. O cache é virtualmente indexado e identificado fisicamente, permitindo que a tradução de endereço físico para virtual ocorra em paralelo com o acesso ao cache, ao invés de ter que esperar por uma tradução de endereço físico.

Cache de dados

O cache de dados do núcleo RISC é uma matriz de memória interna do chip configurada para um tamanho de 8kB.

Assim como o cache de instruções, o cache de dados também é virtualmente indexado e identificado fisicamente, manipulando a tradução de endereço físico para virtual da mesma forma que o Cache de instruções.

A tabela 2 lista os atributos para o cache de dados e de instruções do Vibratto.

Tabela 2 - Atributos do cache de dados e de instruções do Vibratto.

Tam.	Conjunto associativo	Tam. da linha	Pol. de escrita
Cache de instruções			
8 kb	Conj. Assoc. de duas vias	16 bytes	N/D
Cache de dados			
8 kb	Conj. Assoc. de duas vias	16 bytes	Writeback

Interrupções do RISC

Doze eventos podem causar interrupções no RISC ESS. Cada evento tem um bit de estado para indicar a ocorrência do evento e um bit de habilitação para mascarar-lo na interrupção do RISC. A tabela 3 lista todas as interrupções do RISC e as condições que os causam.

Tabela 3 - Interrupções do RISC ESS.

Interrup.	Grupo	Causada pela condição	Como limpar
Video IRQ	0	Número da linha de vídeo igual ao valor no registrador 'videoirq'.	Estados de espera da RISC EPROM e da SRAM
Timer	0	Registrador timer muda de 3FFFFh a 00000h	Escrevendo '1' no bit 3 do registrador 'clirq'
BCDW	0	Controlador do barramento DMA está aguardando para ser lido depois de um comando DBUS-READ	Lendo o registrador 'rlatchl'
Cmd Empty	0	A fila de comando do controlador do barramento DMA fica vazia.	Escrevendo um comando em 'cmdque'
H En Idle	1	O estado do mecanismo codificador de Huffman passa para 'disponível'.	Escrevendo '1' no bit 2 do do registrador 'clirq'.
H De Idle	1	O estado do mecanismo decodificador de Huffman passa para 'disponível'.	Escrevendo '1' no bit 1 do do registrador 'clirq'.
Data Transfer	1	TRE dos dados Host-para-RISC ou DW RISC-para-Host (O host pode selecionar)	TRE é limpo quando o RISC lê dados; DW é limpo quando o RISC escreve dados.
Block Done	1	Depois que o controlador de DMA tenha lido seis blocos de RLAs do VP para a DRAM.	Escrevendo qualquer dado no registrador 'clrhmade'.
Cmd Half-Empty	2	A fila de comando do controlador do barramento DMA está mais da metade vazia.	Escrevendo um comando em 'cmdque' de modo que a fila fique mais da metade cheia.
Debug	2	Pino DEBUGIRQ em nível alto.	Pino DEBUGIRQ em nível baixo.
Nível de FIFO	2	A FIFO de saída do codificador ou a FIFO de entrada do codificador fica cheia até um certo nível.	Escrevendo '1' no bit 8 do registrador 'mipctlreg'.
Host to RISC	2	O Host ativa a interrupção Host-para-RISC, bit 7 do registrador 'HostControl0' (Endereço 2 do host)	Escrevendo '1' no bit 0 do registrador 'mipctlreg'.

IC2 CI M24C02 - WMN6T (MEM. EEPROM)

1. NM24C02 - EEPROM de 2 kbits de Interface Serial de padrão 2-fios

Descrição geral

Os dispositivos NM24C02/03 são memórias CMOS de 2048 bits não voláteis de apagamento elétrico. Esses dispositivos atendem a todas as especificações do padrão de protocolo "Standard IIC 2-Wire" e são projetados para minimizar o número de pinos e simplificar os requisitos de layout da placa.

A metade superior (acima de 1Kbit) da memória do NM24C03 pode ser protegida contra gravação conectando-se o pino WP ao Vcc. Essa seção da memória torna-se então inalterável a menos que o pino WP seja ligado ao Vss.

Esse protocolo de comunicação usa as linhas CLOCK (SCL) e DATA I/O (SDA) para transferir dados de modo síncrono (entre o dispositivo mestre (por exemplo um microprocessador) e o dispositivo EEPROM escravo). O protocolo Standard IIC permite um máximo de 16K de memória EEPROM que é suportada pela família Fairchild em dispositivos de 2K, 4K, 8K e 16K, permitindo ao usuário configurar a memória conforme a aplicação requer com qualquer combinação de EEPROMs. Para implementar densidades de memória EEPROM mais altas no barramento IIC, o protocolo Extended IIC deve ser usado. (Veja os datasheets do NM24C32 ou NM24C65 para mais informação.)

As EEPROMs Fairchild são projetadas e testadas para aplicações que requerem alta durabilidade, alta confiabilidade e baixo consumo de energia.

Características

- Larga faixa de tensão de operação 2.7V - 5.5V
- Frequência de clock (F) de 400 KHz em 2.7V - 5.5V
- Corrente de ativo típica de 200µA
Corrente de standby típica de 10µA
Corrente de standby típica(L) de 1µA
Corrente de standby típica(LZ) de 0,1µA
- Interface compatível com IIC
 - Provê protocolo de transferência de dados bidirecional Entradas "Schmitt trigger"
- Modo de escrita em página de dezesseis bytes
 - Minimiza o tempo total de escrita por byte.
- Ciclo de escrita auto-temporizado
Típico tempo do ciclo de escrita de 6ms
- Proteção de escrita por Hardware para a metade superior (somente NM24C03)
- Durabilidade: 1,000,000 de mudanças de dados
- Retenção de dados maior que 40 anos.
- Encapsulamentos disponíveis: 8 pinos DIP, 8 pinos SO, e 8 pinos TSSOP
- Disponível em três faixas de temperatura
 - Comercial: 0° a +70°C
 - Estendida (E): -40° a +85°C
 - Automotiva (V): -40° a +125°C

Diagrama de Blocos

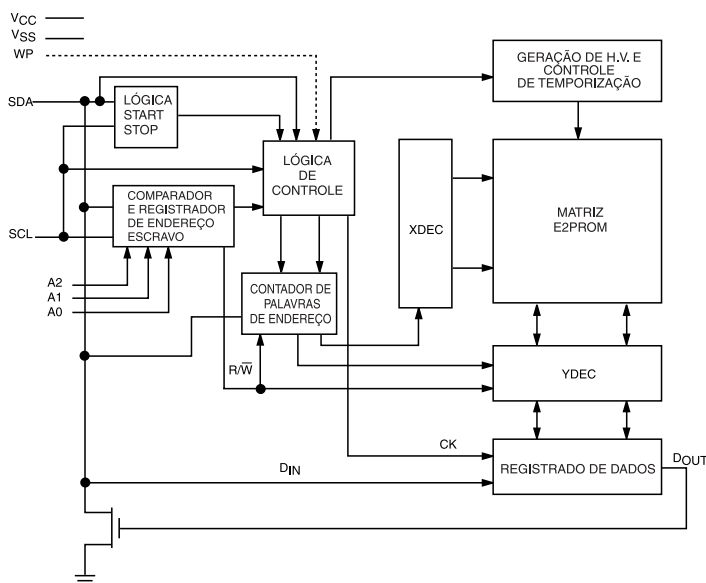
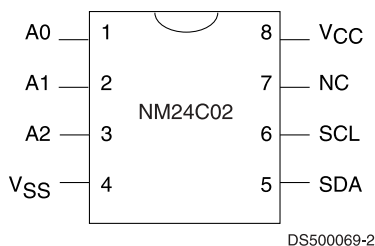


Diagrama de Conexão

Encapsulamento Dual - in - line (N), Encapsulamento SO (M8) e Encapsulamento TSSOP (MT8)



Nome dos pinos

A0,A1,A2	Entrada de endereço dos dispositivo
V _{SS}	Terra
SDA	I/O serial de dados
SCL	Entrada de clock serial
NC	Não conectado
V _{CC}	Alimentação

Informações para pedido

NM	24	C	XX	F	LZ	E	XXX	Letra	Descrição
								Encapsulamento	N 8-pin DIP M8 8-pin SOIC MT8 8-pin TSSOP
								Faixa de Temperatura	None 0 a 70°C V -40 a +125°C E -40 a +85°C
								Faixa de tensão de operação	Blank 4.5V a 5.5V L 2.7V a 5.5V LZ 2.7V a 5.5V e Corrente de Standby <1μA
								Frequencia de clock SCL	Blank 100KHz F 400KHz
								Densidade	02 2K 03 2K com proteção de gravação
								Interface	C Tecnologia CMOS 24 IIC
								NM	Memória não volátil Fairchild

Especificações do produto

Valores máximos absolutos

Temperatura ambiente de armazenamento	-65°C a +150°C
Todas as tensões de entrada ou saída em relação ao terra	6.5V a -0.3V
Temperatura do terminal (Soldagem, 10 segundos)	+300°C
Resistência a ESD	2000V min.

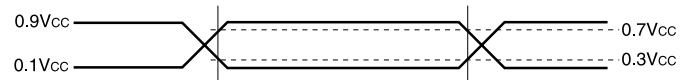
Condições de operação

Temperatura ambiente de operação	NM24C02/03 0°C a +70°C NM24C02E/03E -40°C a +85°C NM24C02V/03V -40°C a +125°C
Alimentação positiva	NM24C02/03 4.5V a 5.5V NM24C02L/03L 2.7V a 5.5V NM24C02LZ/03LZ 2.7V a 5.5V

Condições de teste AC

Nível dos pulsos de entrada	VCC X 0.1 to VCC x 0.9
Tempos de subida e descida da entrada	10 ns
Níveis de temporização de entrada e saída	Vcc x 0.3 to VCC x 0.7
Carga de saída	1 TTL Gate and CL = 100 pF

Formas de onda de entrada/saída em teste AC

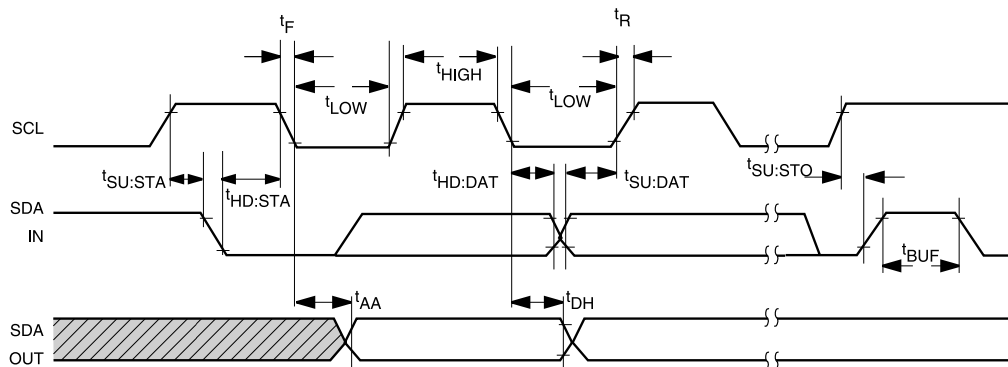


DS500069-4

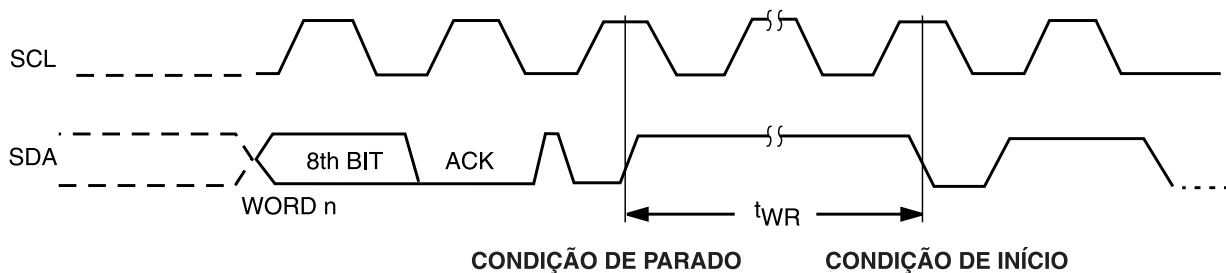
Símbolo	Parâmetro	100 KHz		400 KHz		Unidades
		Min	Max	Min	Max	
f_{SCL}	Frequência de clock SCL		100		400	KHz
T_I	Constante de tempo de supressão de ruído em SCL, Entradas SDA (mínima largura de pulso vin).		100		50	ns
t_{AA}	SCL baixo para saída de dados SDA válida	0.3	3.5	0.1	0.9	μs
t_{BUF}	Tempo que o barramento deve ficar livre antes que uma nova transmissão possa começar.	4.7		1.3		μs
$t_{HD:STA}$	Tempo de espera da condição de início	4.0		0.6		μs
t_{LOW}	Período do clock baixo	4.7		1.5		μs
t_{HIGH}	Período do clock alto	4.0		0.6		μs
$t_{SU:STA}$	Tempo de Setup da condição de início. (Para uma condição de início repetida).	4.7		0.6		μs
$t_{HD:DAT}$	Tempo de espera de entrada de dados	20		20		ns
$t_{SU:DAT}$	Tempo de setup da entrada de dados	250		100		ns
t_R	Tempo de subida SDA e SCL		1		0.3	μs
t_F	Tempo de descida SDA e SCL		300		300	ns
$t_{SU:STO}$	Tempo de setup da condição de parado	4.7		0.6		μs
t_{DH}	Tempo de espera de saída de dados	300		50		ns
t_{WR} (Note 3)	Tempo do ciclo de escrita - NM24C02/03 - NM24C02/03L, NM24C02/03LZ		10 15		10 15	ms

Nota 3: o tempo do ciclo de escrita (t_{WR}) é o tempo de uma condição de parado válida de uma sequência de escrita até o fim do ciclo interno de programação/apagamento. Durante esse ciclo de escrita, os circuitos de interface do NM 24C02 / 03 são desabilitados e o SDA é permitido se manter alto pelo resistor de pull-up do barramento, e o dispositivo não responde ao endereço escravo. Veja o diagrama "Temporização do ciclo de escrita".

Tempo de barramento

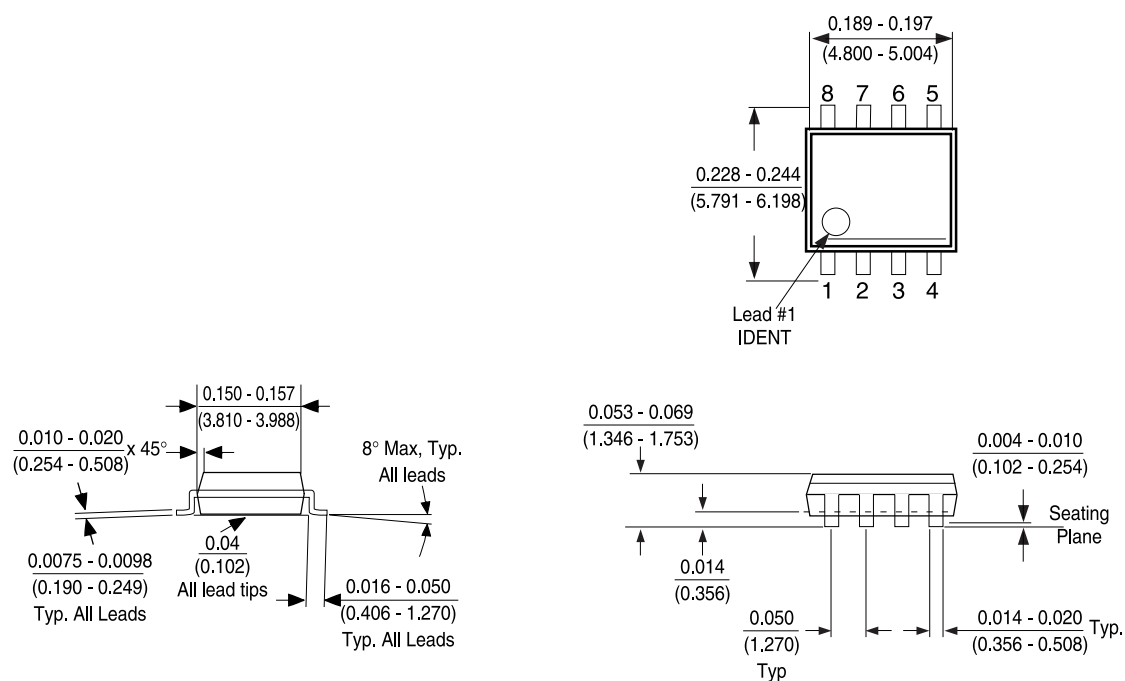


Temporização do ciclo de escrita



Nota: O tempo do ciclo de escrita (t_{WR}) é o tempo de uma condição de parada válida de uma sequência de escrita até o fim do ciclo interno de programação/apagamento.

Dimensões de físicas em polegadas (milímetros) a menos que informado o contrário.



Encapsulamento de 8 pinos Molded Small Outline (M8) Numero de encapsulamento M08A

IC3 CI HY57V641620HGT-6 (MEM. DRAM)

DESCRIÇÃO

O Hynix HY57V641620HG é uma DRAM CMOS Síncrona de 67.108.864 bits, ideal para servir de memória principal em aplicações que exigem alta densidade de memória com alta largura de banda. O HY57V641620HG oferece operação totalmente síncrona referenciada pela borda positiva do clock. Todas as entradas e saídas são sincronizadas com a borda de subida da entrada de clock. O caminho de dados interno é construído de modo a atingir alta largura de banda. Os níveis de tensão de todas as entradas e saídas são compatíveis com LVTTTL.

As opções programáveis incluem o comprimento dos caminhos (Latência de leitura 2 ou 3), o número de ciclos de leitura e escrita iniciados por um único comando de controle (Comprimento de 1,2,4,8 ou página completa) e a sequência de contagem (sequencial ou intercalada). Uma rajada de ciclos de leitura ou escrita em progresso pode ser terminada por um comando de término de rajadas ou pode ser interrompido e substituído por um novo comando de rajada de leitura ou escrita em qualquer ciclo. (O projeto não está restrito pela regra de '2N').

CARACTERÍSTICAS

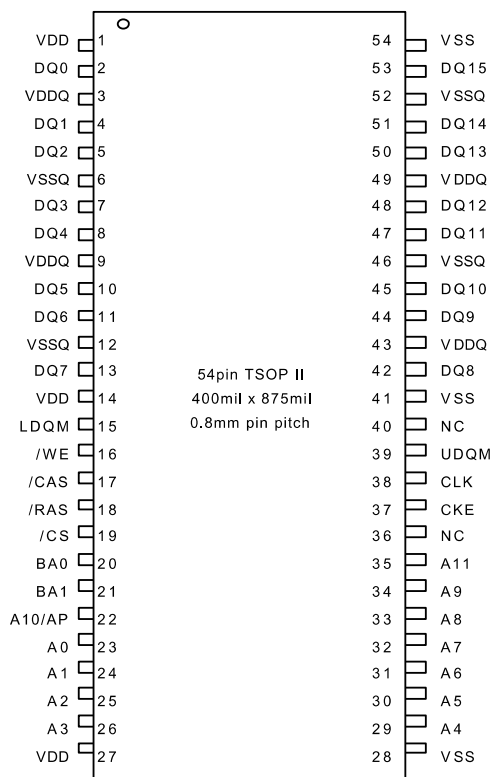
- Alimentação única de 3,3 \pm 0,3 V (Nota)
- Todos os pinos do dispositivo são compatíveis com LVTTTL
- Encapsulamento padrão JEDEC TSOP-II de 65 pinos 400mil com 0,8mm de altura dos pinos
- Todas as entradas e saídas são referenciadas pela borda positiva do clock do sistema
- Função de máscara de dados por UDQM ou LDQM
- Operação com quatro bancos internos
- Auto-atualização
- 4096 ciclos de atualização / 64ms
- Tipo e comprimento da rajada programáveis
 - * 1,2,4,8 ou página completa para rajadas sequenciais
 - * 1,2,4, ou 8 para rajadas intercaladas
- Latência CAS programável: 2 ou 3 clocks

INFORMAÇÕES PARA PEDIDO

Nº peça	Freq. de clock	Aliment.	Organiz.	Inter.	Encaps.
HY57V641620HGT-5/55/6/7	200/183/166/143MHz	Normal	4 bancos x 1 Mbits x 16	LVTTTL	400mil 54 pinos TSOP-II

Nota : VDD (Min) do HY57V641620HG(L)T-5/55/6 é 3,135V

CONFIGURAÇÃO DOS PINOS

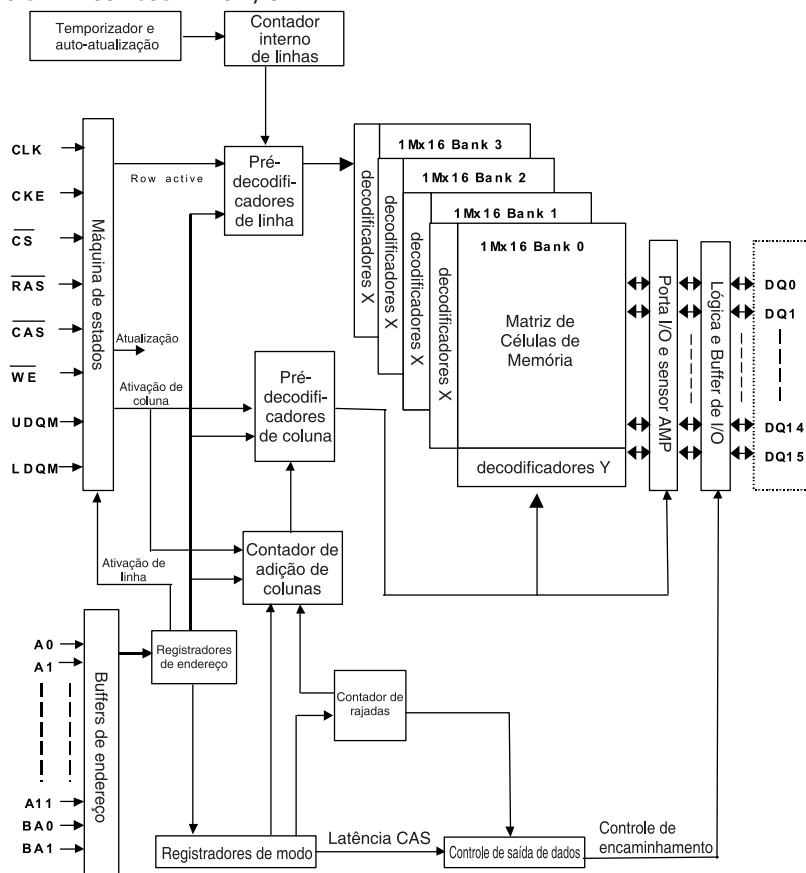


DESCRIÇÃO DOS PINOS

PINO	NOME DO PINO	DESCRIÇÃO
CLK	Clock	A entrada de clock do sistema. Todas as outras entradas são registradas pela SDRAM na borda de subida da CLK.
CKE	Clock Enable	Controla o sinal de clock interno e quando desativada, a SDRAM estará em estado de baixa energia, suspensão ou auto-atualização
\overline{CS}	Chip Select	Habilita ou desabilita todas as entradas exceto CLK, CKE e DQM.
BA0, BA1	Bank Address	Seleciona o banco a ser ativado durante a atividade do RAS Seleciona o banco a ser lido/escrito durante a atividade do CAS
A0 ~ A11	Address	Endereço de linhas: RA0 ~ RA11, Endereços de colunas: CA0 ~ CA7 Flag de auto-pré-carga: A10
\overline{RAS} , \overline{CAS} , \overline{WE}	Row Address Strobe, Column Address Strobe, Write Enable	RAS, CAS e WE definem a operação Veja a tabela verdade de funções para detalhes.
LDQM, UDQM	Data Input/Output Mask	Controla os buffers de saída em modo de leitura e as máscaras de entrada em modo de escrita.
DQ0 ~ DQ15	Data Input/Output	Pino de entrada/saída de dados multiplexados
VDD/VSS	Power Supply/Ground	Alimentação para circuitos internos e buffers de entrada
VDDQ/VSSQ	Data Output Power/Ground	Alimentação para os buffers de saída
NC	No Connection	Sem conexão

DIAGRAMA DE BLOCOS FUNCIONAL

DRAM Síncrona de 1 Mbit x 4 bancos x 16 I/O



VALORES MÁXIMOS ABSOLUTOS

Parâmetro	Símbolo	Valor	Unidade
Temperatura ambiente	T _A	0 ~ 70	°C
Temperatura de armazenamento	T _{STG}	-55 ~ 125	°C
Tensão em qualquer pino em relação ao VSS	V _{IN} , V _{OUT}	-1.0 ~ 4.6	V
Tensão no VDD em relação ao VSS	V _{DD} , V _{DDQ}	-1.0 ~ 4.6	V
Corrente de curto-circuito de saída	I _{OS}	50	mA
Dissipação de potência	P _D	1	W
Temperatura e tempo de soldagem	T _{SOLDER}	260 · 10	°C · Sec

Nota: A operação acima dos valores máximos absolutos pode afetar de modo adverso a confiabilidade do dispositivo.

CONDIÇÃO DE OPERAÇÃO DC (T_A = 0 a 70°C)

Parâmetro	Símbolo	Mín.	Típ.	Máx.	Unidade	Nota
Tensão de alimentação	V _{DD} , V _{DDQ}	3.0	3.3	3.6	V	1,2
Tensão do nível alto de entrada	V _{IH}	2.0	3.0	V _{DDQ} + 2.0	V	1,3
Tensão do nível baixo de entrada	V _{IL}	V _{SSQ} - 2.0	0	0.8	V	1,4

Nota:

1. Todas as tensões têm como referência o VSS = 0V
2. VDD(min) do HY57V641620HG(L)T-5/55/6 é 3,135 V
3. É aceito para V_{IH} (máx) um pulso de 5,6V AC com < 3ns de duração
4. É aceito para V_{IL} (máx) um pulso de -2,0V AC com < 3ns de duração

CONDIÇÕES DE OPERAÇÃO AC (T_A = 0 A 70°C , VDD= 3,3 ± 0,3V(Nota2), VSS = 0V)

Parâmetro	Símbolo	Valor	Unidade	Nota
Tensão AC do nível alto e baixo de entrada	V _{IH} / V _{IL}	2.4/0.4	V	
Tensão do Nível de Referência de Medição de Tempo da entrada	V _{trip}	1.4	V	
Tempo de subida e descida da entrada	t _R / t _F	1	ns	
Nível de Referência de Medição de Tempo da saída	V _{outref}	1.4	V	
Capacitância da carga da saída para medição do tempo de acesso	C _L	50	pF	1

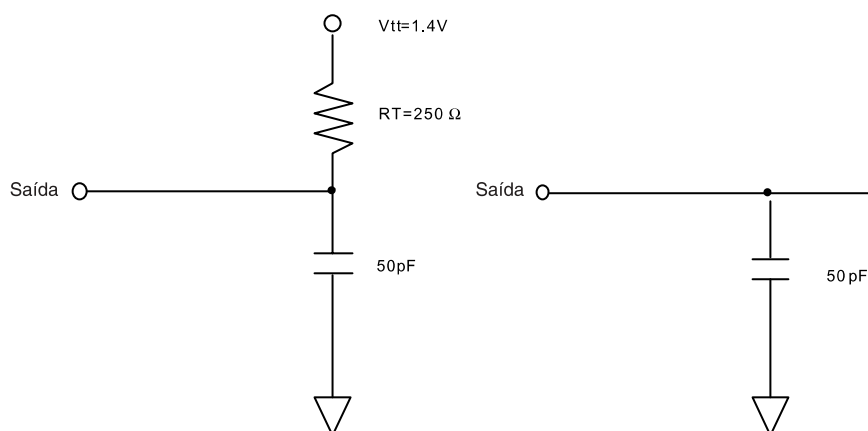
Notas:

1. A carga de saída para medição do tempo de acesso é equivalente a duas portas TTL e um capacitor de 50pF
2. VDD(min) do HY57V641620HG(L)T-5/55/6 é 3,135 V

CAPACITÂNCIA (TA=25°C , f=1MHz)

Parâmetro	Pino	Símbolo	Mín.	Máx.	Unidade
Capacitância de entrada	CLK	C I1	2	4	pF
	A0 ~ A11, BA0, BA1, $\overline{\text{CKE}}$, $\overline{\text{CS}}$, $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, WE, UDQM, LDQM	C I2	2.5	5	pF
Capacitância da entrada/saída de dados	DQ0 ~ DQ15	C I/O	2	6.5	pF

CIRCUITO DE CARGA DE SAÍDA



Circuito de carga DC de saída

Circuito de carga AC de saída

CARACTERÍSTICAS DC I (TA = 0 a 70°C , VDD=3,3 ± 0,3V (Nota3))

Parâmetro	Símbolo	Mín.	Máx.	Unidade	Nota
Corrente de fuga de entrada	ILI	-1	1	uA	1
Corrente de fuga de saída	ILO	-1	1	uA	2
Tensão do nível alto da saída	VOH	2.4	-	V	IOH = -4 mA
Tensão do nível baixo da saída	VOL	-	0.4	V	IOL = +4 mA

Nota:

- VIN = 0 a 3,6V. Todos os outros pinos não são testados com VIN=0V
- Dout é desabilitada, Vout = 0 a 3,6V

CARATERÍSTICAS DC II (TA=0 a 70°C , VDD=3,3 ± 0,3V (Note5), VSS=0V)

Parâmetro	Símbolo	Condição de Teste	Velocidade										Unid.	Nota
			-5	- 55	-6	-7	-K	-H	-8	-P	-S			
Corrente de operação	IDD1	Burst length=1, One bank active tRC ≥ tRC(min), IOL=0mA	100	95	90	85	85	85	80	80	80	mA	1	
Corrente de Standby de pré-carga em modo de baixa energia	IDD2P	CKE ≤ VIL(max), tCK = min	2									mA		
	IDD2PS	CKE ≤ VIL(max), tCK = ∞	2									mA		
Corrente de Standby de pré-carga, não estando em modo de baixa energia	IDD2N	CKE ≥ VIH(min), $\overline{CS} \geq VIH(min)$, tCK = min Input signals are changed one time during 2clks. All other pins ≥ VDD-0.2V or ≤ 0.2V	15									mA		
	IDD2NS	CKE ≥ VIH(min), tCK = ∞ Input signals are stable.	12									mA		
Corrente de standby ativa em modo de baixa energia	IDD3P	CKE ≤ VIL(max), tCK = min	6									mA		
	IDD3PS	CKE ≤ VIL(max), tCK = ∞	5									mA		
Corrente de standby ativa não estando em modo de baixa energia	IDD3N	CKE ≥ VIH(min), $\overline{CS} \geq VIH(min)$, tCK = min Input signals are changed one time during 2clks. All other pins ≥ VDD-0.2V or ≤ 0.2V	30									mA		
	IDD3NS	CKE ≥ VIH(min), tCK = ∞ Input signals are stable.	20									mA		
Corrente de operação em modo de rajadas.	IDD4	tCK ≥ tCK(min), IOL=0mA All banks active	CL=3	170	160	150	150	150	150	120	120	120	mA	1
		CL=2	NA	NA	NA	NA	120				mA			
Corrente de auto-atualização	IDD5	tRRC ≥ tRRC(min), All banks active	160									mA	2	
Corrente de auto-atualização	IDD6	CKE ≤ 0.2V	1									mA	3	
			400									uA	4	

Nota:

- 1.IDD1 e IDD4 dependem da carga de saída e da velocidade dos ciclos. Os valores especificados são medidos com a saída aberta.
- 2.O mínimo de tRRC (tempo do ciclo de atualização CAS) é mostrado em CARATERÍSTICAS AC II
- 3.HY57V641620HGT-6/7/K/H/P/S
- 4.HY57V641620HGLT-6/7/K/H/P/S

TABELA DE OPÇÕES DE OPERAÇÃO DO DISPOSITIVO

	Latência CAS	t RCD	t RAS	t RC	t RP	t AC	tO H
166MHz (6 ns)	3CLKs	3CLKs	7CLKs	10CLKs	3CLKs	5.4ns	2.7ns
143MHz (7 ns)	3CLKs	3CLKs	6CLKs	9CLKs	3CLKs	5.4ns	2.7ns
133MHz (7.5ns)	2CLKs	3CLKs	6CLKs	9CLKs	3CLKs	5.4ns	2.7ns